

СИНХРОНІЗАЦІЯ ПРИСТРОЇВ ПО PCI-ШИНІ У РЕАЛЬНОМУ МАСШТАБІ ЧАСУ

© Антонюк М.П., Лобур М.В., 2007

Розглянуто основні підходи до побудови PCI-шин, розглянуто їхні переваги та недоліки, визначено вплив реалізації PCI-шини на синхронізацію пристроїв, швидкодію та кількість таких пристроїв.

This article describes base approach to design PCI buses. Discussed main advantages and disadvantages. Defined influence of structure PCI bus to devices synchronization, speed of operations and quantity of such devices.

Вступ. Віртуальні вимірювальні прилади, які не так давно здавалися чимось фантастичним, все ширше використовуються практично в усіх сферах людської діяльності. Скрізь, де виникає потреба в універсальних, точних і недорогих вимірювальних приладах, системи на базі ПК і плати АЦП досить успішно конкурують з традиційними осцилографами, спектроаналізаторами і вольтметрами. Головними перевагами подібних систем є насамперед гнучкість і універсальність. Для спостереження сигналу в режимі реального часу необхідна висока обчислювальна потужність комп'ютера, оскільки потік даних від АЦП дуже інтенсивний, а частота оновлення інформації на екрані монітора багато в чому залежить від швидкодії ПК [1, 2].

Постановка проблеми. Якщо плата АЦП не має пристрою, що здійснює попередню обробку і комутацію цифрового потоку, то ці функції має виконувати центральний процесор ПК, що призводить до його практично повного завантаження. Окрім цього, процесори загального застосування не дають змогу апаратно підтримувати аналого-цифрові і цифро-аналогові перетворювачі без додаткових апаратних схем і вимагають затрат процесорного часу для введення/виведення даних.

Аналіз останніх досліджень. При підвищенні тактової частоти АЦП і його розрядності із збільшеним потоком заледве можуть впоратися навіть сучасні високопродуктивні універсальні процесори. Для вирішення цієї проблеми використовують різні схемотехнічні рішення, зокрема традиційні ПЛІС і цифрові сигнальні процесори (DSP), а також зміну структури PCI контролера материнської плати ПК.

Програмована логіка дає змогу працювати з високошвидкісними потоками, та оскільки її управління реалізоване апаратно, реконфігурація системи стає дуже трудомісткою. До того ж, вартість таких мікросхем збільшується неадекватно збільшенню кількості логічних комірок.

Цифрові сигнальні процесори створювалися спеціально для високошвидкісної обробки великих масивів інформації, тому їх застосування в платі АЦП істотно знижує навантаження на центральний процесор ПК. Оскільки функції, що виконуються DSP, можуть бути різними: від маршрутизації цифрових потоків до фільтрації і різної обробки (БПФ, фільтр Собеля, згортка тощо), то вони можуть замінити собою цілий ряд функціональних вузлів на платі АЦП. Головна перевага сигнальних процесорів перед програмованою логікою — в програмному управлінні функціями і параметрами обробки. Гнучкість систем з DSP дає змогу залежно від поставленого завдання легко перепрограмувати плату АЦП, наприклад, з функцією віртуального осцилографа, на спектроаналізатор з різноманітними можливостями відображення спектра, причому БПФ у цьому випадку виконується сигнальним процесором, а центральний процесор відповідає лише за оновлення даних на екрані. У розпорядженні програміста DSP є набір стандартних динамічних бібліотек, які містять найрізноманітніші режими обробки. Необхідність в написанні власних програм для сигнального процесора виникає у користувача лише під час розв'язання складних

задач. Якщо, наприклад, система повинна працювати виключно в режимі осцилографа, то DSP успішно впорається з отриманням даних від АЦП, управлінням ланцюгами комутатора вхідних сигналів і коефіцієнтом посилення програмованого підсилювача, буферизацією і обміном даними з ПК.

Використання в платі АЦП на шині PCI сигнальних процесорів дасть змогу не лише підвищити надійність продукції, але і знизити віртуальну вартість одного вимірювального каналу. Такі процесори володіють своїм власним контролером ПДП (IDMA), завдяки чому призначена для користувача програма може звертатися до будь-якого елемента пам'яті центрального процесора, не перериваючи роботи самого DSP. За допомогою власного контролера ПДП можна налагоджувати і програмувати DSP в "гарячому режимі", що надає додаткові зручності під час розроблення власних програм під DSP [1, 2].

Спеціалізована архітектура DSP і скорочена система команд дають змогу при порівняно низьких тактових частотах (40–50 МГц) отримувати досить високу продуктивність. Проте, низька тактова частота DSP накладає обмеження на максимальну частоту вхідного аналогового сигналу: на практиці вона, як правило, не може перевищувати 10–20 МГц [1–3].

Базова конфігурація шини PCI. Свого часу шину PCI було розроблено для застосування в персональних комп'ютерах. Однак останнім часом шину PCI в тій або іншій формі все частіше застосовують у вбудованих системах. Сьогодні застосовують різні методи для мультиобробки в реальному масштабі часу з використанням так званих мостів PCI-PCI (PPB).

Потрібно чітко диференціювати пристрої із симетричною та асиметричною мультиобробкою. У разі асиметричної мультиобробки через шину PCI зв'язуються декілька PCI-плат. Кожна така плата є "інтелектуальною", вона має свій власний процесор. Базова конфігурація реалізує призначений для користувача інтерфейс і мережеву частину системи на основі головного процесора з додатковими модулями введення/виведення, що забезпечують обробку в реальному масштабі часу (рис. 1).

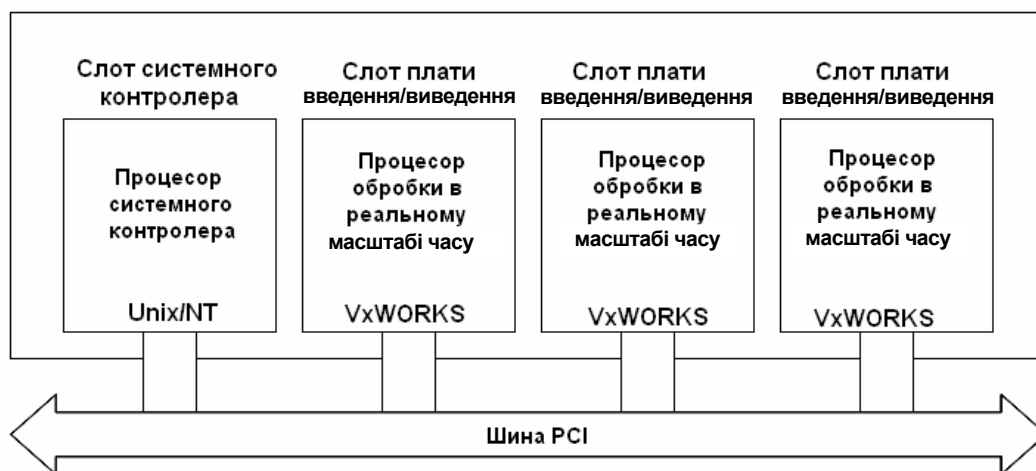


Рис. 1. Базова конфігурація шини PCI

З іншого боку, у разі симетричної мультиобробки декілька процесорів об'єднуються на одній спільній процесорній шині під управлінням однієї операційної системи, яка розподіляє незалежні потоки між декількома процесорами. Симетрична мультиобробка відбувається лише на процесорній шині і виконується незалежно від шини PCI або інших шин введення/виведення. У статті розглянуто проблеми тільки асиметричної мультиобробки.

"Прозорі", або "стандартні" PPB. Оскільки шина PCI є багатоабонентською шиною, декілька різних пристроїв можуть конкурувати за її управління через механізм запитів. Центральний арбітр, який знаходиться зазвичай в мості-процесорі-PCI, призначає володіння шиною PCI.

Операційна система, завантажена на платі системного контролера, управляє ресурсами без окремого процесора на їх локальній шині PCI.

Перший і найбільш очевидний метод полягає в тому, щоб використовувати безпосереднє і паралельне з'єднання між локальною шиною PCI і об'єднувальною платою PCI. Очевидна незручність цього методу обмеження на кількість навантажень, які модуль PCI може обслуговувати. Зазвичай ця кількість не перевищує 10. Оскільки сам пристрій PCI на материнській платі вважають одним навантаженням, а кожен додатковий слот – двома навантаженнями, то для стандартного комп'ютера це означає наявність максимум чотирьох слотів розширення [1, 2].

Щоб уникати цього обмеження, пов'язаного з методом безпосереднього з'єднання, група PCI Special Interest Group (PCISIG) у 1994 розробила основні специфікації архітектури мостів PPB. Ці специфікації визначають “прозорий”, або “стандартний” міст PPB (рис. 2) [4]. Після нормальної ідентифікації протягом процедури автоконфігурації міст PPB стає прозорим відносно процесора, що управляє. З погляду мультиобробки, прозорий міст функціонує так само, як і описаний вище прямий зв'язок двох шин PCI. Цей тип PPB не містить жодних апаратних ресурсів, наприклад, пристроїв прямого доступу до пам'яті (DMA) або регістрів, які вимагали б наявності окремого драйвера пристрою, а також не перетворює адреси від однієї шини PCI до іншої [4].

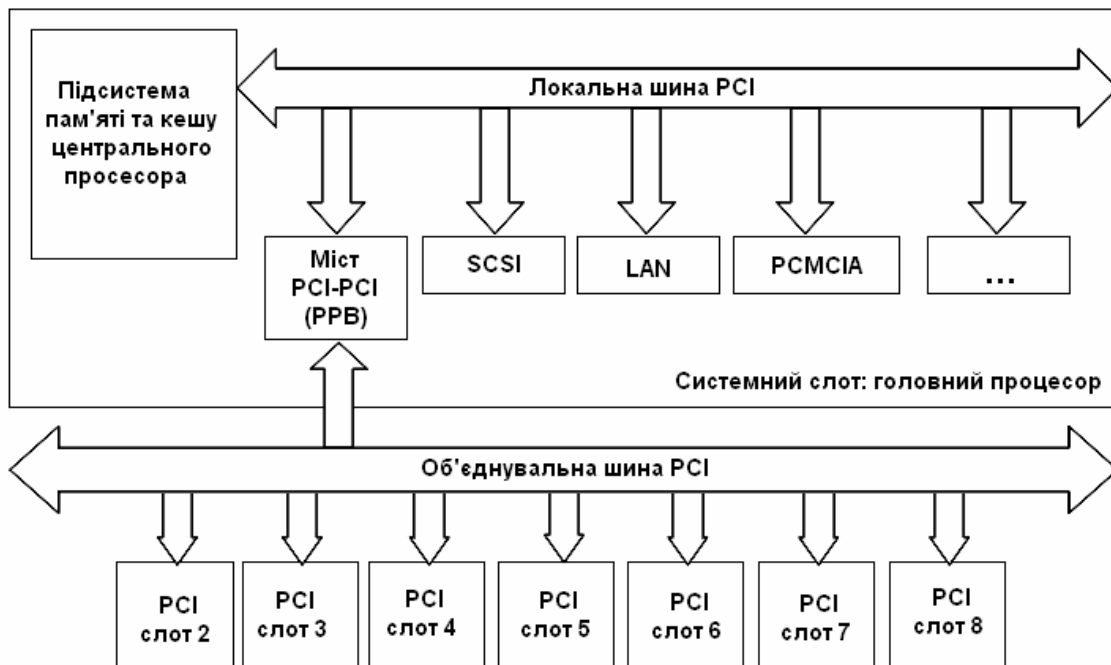


Рис. 2. “Прозорі”, або “стандартні” PPB

Вбудований, або “непрозорий” міст PPB. Новий тип мостів PPB – вбудований, або “непрозорий” – вирішує проблеми використання декількох процесорів. Проективальники розробляли їх спеціально для мікропроцесорної плати введення/виведення, тобто для асинхронної мультиобробки. Використання прозорого моста PPB на платі, що управляє, і непрозорих мостів PPB на інтелектуальній платі введення/виведення є апаратним підходом до асиметричної мультиобробки в системах PCI.

Вбудовані мости реалізують операції plug-and-play без зіткнення процедур конфігурації. Вбудований міст ефективно розділяє області, які сканують і конфігурують локальний і головний процесори.

З використанням вбудованих мостів також вирішується проблема конфліктів адресації за рахунок перетворення адрес. Наприклад, процесор плати введення/виведення може “приховувати” ресурси, необхідні йому самому, від головного процесора системи. Крім того, перетворення адреси

дає змогу розміщувати пристрій на локальній шині PCI інтелектуальної плати введення/виведення за PCI адресою на об'єднувальній шині без яких-небудь конфліктів адресації.

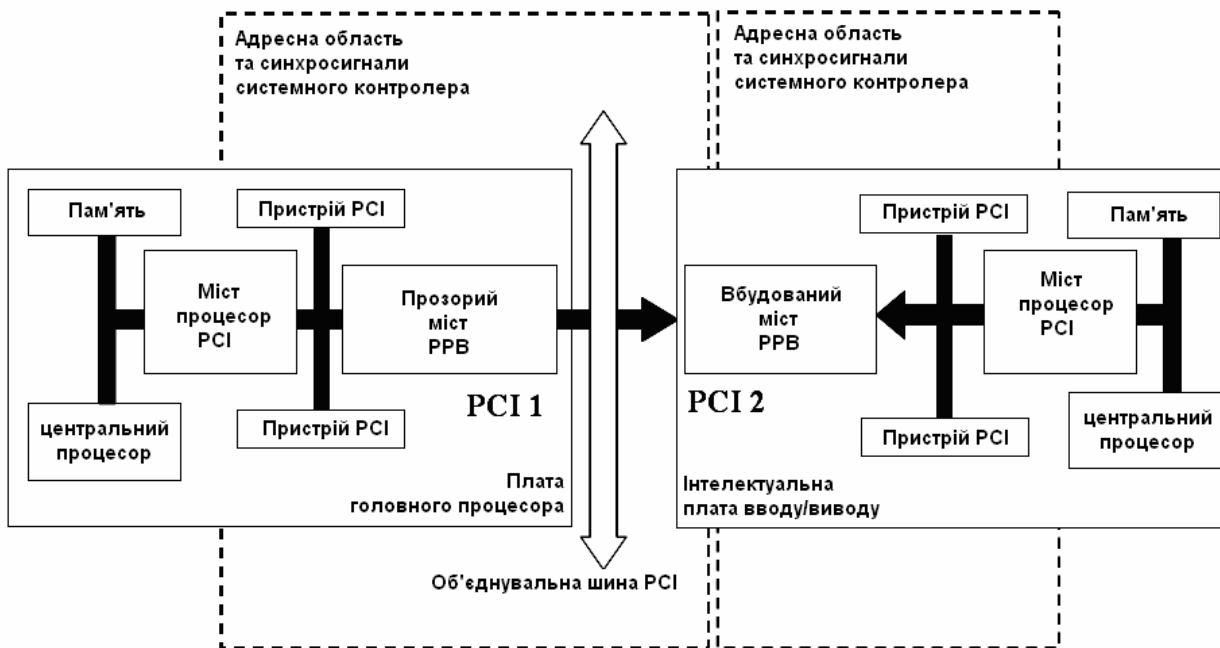


Рис. 3. Вбудований, або “непрозорий” міст PPB

Зазначимо, що вбудовані мости обробляють синхросигнали зовсім не так, як прозорі мости. Головний процесор посилає синхросигнал через його прозорий міст PPB на об'єднувальну шину PCI і на пристрої PCI. Вбудований міст на інтелектуальній платі введення/виведення приймає синхросигнал головного процесора на вторинному боці (об'єднувальної шини), але не пересилає його на первинний бік (PCI2). Первинний бік непрозорого моста працює з синхросигналом, що виробляється своїм власним локальним процесором. Обидва синхросигнали синхронні відносно своїх шин та асинхронні відносно один одного. Непрозорий PPB також містить майлбокси і 10 функцій “першим прийшов – першим пішов” (FIFO), що забезпечують комунікації між головним процесором і процесором інтелектуальної плати введення/виведення.

Структура переривань шини PCI. Найістотніші обмеження на мультиобробку в реальному масштабі часу накладає структура переривання PCI. Шина PCI має чотири лінії переривання, які з'єднуються з центральним контролером переривання. Нижній на рисунку міст PCI-ISA зазвичай містить центральний контролер переривань. При використанні системи із слотами і локальною шиною PCI, зображеною на рис. 2, локальні SCSI, LAN і PCMCIA пристрої можуть здійснювати переривання. Кожний з цих локальних пристроїв має власну лінію переривання на контролері переривання. Наприклад, якщо контролер Ethernet (LAN) надає запит на переривання, контролер переривань виявляє його і посилає процесору. Після цього процесор надає сигнал підтвердження переривання (IACK) і пересилає його назад контролеру переривань, який визначає початкову адресу необхідної процедури обробки переривання. Тому система PCI, що містить до чотирьох пристроїв, може швидко реагувати на зовнішні дії протягом передбаченого проміжку часу.

У стандартній системі PCI обробка переривання стає складнішою, тому що переривання повинні оброблятися навіть тоді, коли в системі використовується більше чотирьох плат або якщо яка-небудь плата містить багатофункціональний пристрій, що обслуговується більш ніж однією лінією переривання. Рекомендована схема з'єднань ліній переривання на об'єднувальній платі та їх зв'язок з лініями переривання індивідуальних слотів передбачають, що лінія INTA системного слота з'єднується з лінією INTB слота 2, лінією INTC слота 3, лінією INTD слота 4, лінією INTA слота 5 і т. д. (рис. 4).

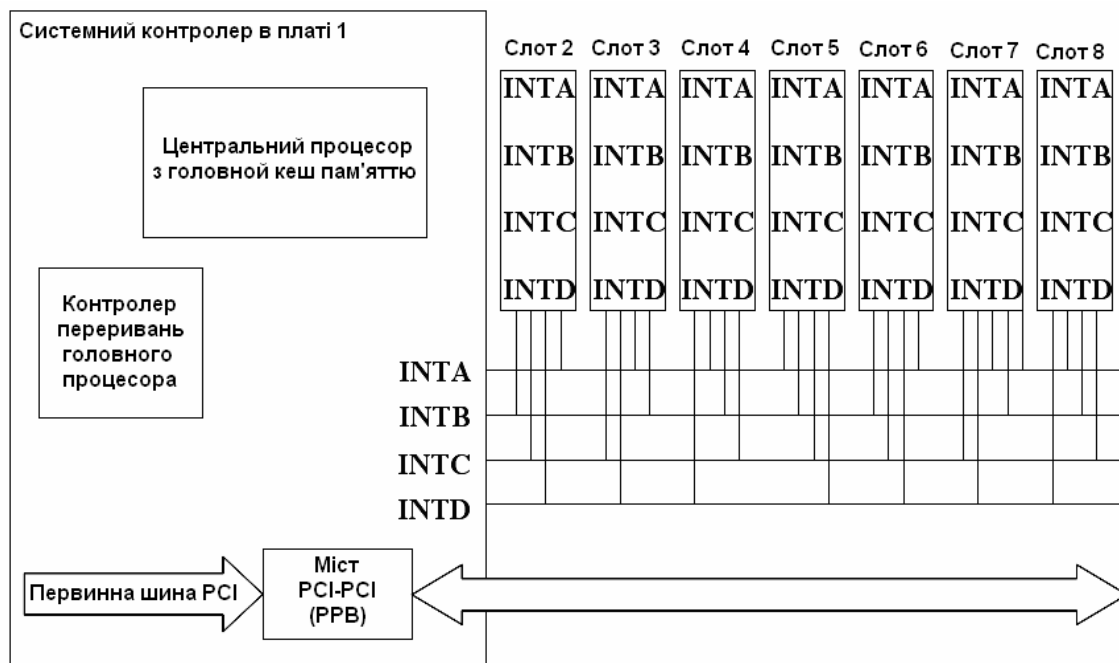


Рис. 4. Рекомендована схема з'єднань ліній переривання на об'єднувальній платі

Щоб зрозуміти, як працює ця система обробки переривань, припустимо, що слоти 3 і 7 містять просту “однофункційну” плату з можливістю генерації переривань. Центральний контролер переривань виявляє запит на переривання від слота 7 і перемикає індивідуальну лінію INT на процесор. Завдяки обробці вектора переривань від контролера переривання процесор визначає, що запит на переривання надійшов з лінії INTC шини об'єднувальної плати. Проте, оскільки на цій лінії перебувають дві плати, процесор не знає, від якої точно плати надійшов запит на переривання. Щоб визначити, яка з двох плат є джерелом запиту на переривання, процесор повинен рахувати вміст регістрів інтерфейсів PCI кожної з цієї двох плат [4]. Цей метод обробки переривань затримує ідентифікацію джерела переривання і теоретично може спричинити виникнення помилкової ситуації: контролер не зможе розпізнати запит на переривання від плати слота 7, якщо відразу за ним надійде запит на переривання від плати слота 3. Більше того, за правилами послідовної роботи шини PCI, запис даних іншого посилання, що може все ще бути в FIFO буфері моста PPB плати системного контролера, повинна бути проведена раніше, ніж прозорий міст PPB зробить спробу доступу для читання на шину CompactPCI. Внаслідок виконання цієї вимоги витрачається ще більший час.

Висновки. Якщо планується використовувати шину PCI для програм, що працюють у реальному масштабі часу, необхідно розглянути, чи відповідає існуюча структура переривання вимогам до швидкодії. Основним принципом при використанні інтелектуальної плати введення/виведення повинна бути вимога зниження навантаження на головний процесор, локальну обробку переривань і передачу через шину PCI лише необхідних посилань. Процесор інтелектуальної плати введення/виведення негайно обробляє критично важливі переривання, що робить апаратні затримки шини PCI, пов'язані з обробкою переривань, несуттєвими. Застосування інтелектуальної плати введення/виведення, як було сказано вище, може зняти вимогу обробки в реальному масштабі часу з шини PCI і використовувати її лише для управління.

Зміни стандарту 2.2 до технічних вимог локальної шини PCI містять так звані переривання з сигнальним повідомленням (message-signaled interrupt, MSI) для програм, що працюють в режимі реального часу і виробляють велику кількість запитів на переривання [4]. У цьому випадку для передачі в процесор запиту на обслуговування переривання MSI існуючі чотири лінії переривань на шині PCI не використовуються. Замість цього використовується метод доступу запису в пам'ять по шині PCI в міст PPB, який потім виробляє локальне переривання на платі системного контролера.

Програмне забезпечення для описаних вище систем, подібно до апаратного забезпечення, повинне підтримувати асиметричну архітектуру мультиобробки. Процесори повинні мати можливість обмінюватися інформацією. Один з підходів полягає в тому, щоб використовувати спільну пам'ять, в яку будь-який з процесорів може записувати дані, завдяки чому здійснюється зв'язок з іншими процесорами. Проте тут повинен існувати механізм, повідомлення інших процесорів про те, що дані доступні.

1. Сорокин С. Шина PCI в специальных приложениях // *Современные технологии автоматизации (СТА)*. – 1998. – № 3. – С. 14–262. 2. Рыбаков А.Н. Шина PCI в специальных приложениях: мифы и реальность // *Мир компьютерной автоматизации (МКА)*. – 1999. – № 1. – С. 7–21. 3. Буткевич В., Невзоров В. Изделия L-CARD: отечественные платы АЦП/ЦАП с сигнальным процессором // *Электроника НТБ*. – 1999. – № 3. – С. 32–33. 4. *PCI Local Bus Specification, Revision 2.2* // *PCI Special Interest Group, June 1, 1995*. 5. Mills David L. *Improved Algorithms for Synchronizing Computer Network Clocks* // *IEEE/ACM Transactions on Networking*. – June 1995. – P. 245–254.