

І. П. Паралюх

Національний університет “Львівська політехніка”,  
кафедра електронних обчислювальних машин

## ШВИДКОДЮЧИЙ ПОДІЛЬНИК ЧАСТОТИ ІЗ ЗМІННИМ КОЕФІЦІЄНТОМ ДІЛЕННЯ

© Паралюх І. П., 2014

Розглянуто підходи щодо побудови подільників частоти, проаналізовано недоліки стандартних реалізацій. Запропоновано швидкодіючий подільник частоти зі змінним коефіцієнтом ділення із мінімальним фазовим зсувом вихідного сигналу відносно вхідного за умови формування вихідних сигналів із прогальністю два.

**Ключові слова:** швидкодія, частота, подільник, коефіцієнт ділення, фазовий зсув.

## HIGH-SPEED FREQUENCY DIVIDER WITH VARIABLE DIVISION RATIO

© Paralyukh I. P., 2014

Overviewed conceptual basis for development frequency dividers and disadvantages of standard decisions were analyzed. A high-speed with variable division ratio and minimum phase shift of output signal against input signal, which forms output square waves, is presented in the article.

**Key words:** high-speed, frequency, divider, division ratio, phase shift.

### Вступ

У реалізації програми розвитку та впровадження національної системи дистанційного зондування Землі (ДЗЗ) з космосу в інтересах безпеки, охорони та соціально-економічної сфери важливе місце займає впровадження новітніх технологій, створення програмно-математичних методів обробки, а також прогресивних схемотехнічних рішень. Основою досліджень отриманих зображень є цифрова обробка, дешифрування та геологічна і географічна інтерпретація. Для приймання, синхронізації, декодування та розпізнання швидкісних потоків даних зображень ДЗЗ у режимі реального масштабу часу необхідно застосовувати відповідні швидкодіючі ефективні електронні вузли, які використовують як у наземній, так і у бортовій апаратурі [1].

Розв'язання цих задач значною мірою залежить від наявності якісних систем формування сигналів синхронізації, які виробляють подільники частоти. Незалежно від того, потрібна одна (менша) від частоти ведучого генератора чи “сітка” взаємозв'язаних частот, ділення на ціле чи дробне число, основою подільників частоти завжди є лічильники або регістри із відповідними зв'язками між розрядами.

Основними параметрами подільників є власне коефіцієнт ділення, швидкодія та складність. Оскільки на ці параметри безпосередньо впливає організація схемотехніки пристрою, то вибір та прийняття ефективних і оригінальних схемотехнічних рішень є актуальною задачею. Актуальність задачі зростає ще й тому, що сьогодні для створення цифрових систем широко використовують мікросхеми програмованих логічних матриць (ПЛІС). Якщо не задати (описати) конкретне схемотехнічне рішення, то засоби проектуючого пакета реалізують вузол ефективно і оптимально, але тривіально незалежно від способу чи мови опису. Така реалізація поступатиметься оригінальним рішенням.

Для багатьох цифрових систем, зокрема систем синхронізації, автопідналадження частоти, демодуляції тощо важливим параметром подільника є час реакції на вхідний сигнал (фазовий зсув вихідного сигналу щодо вхідного).

### Огляд літературних джерел

Подільники частоти за принципом тактування розрізняють синхронні та асинхронні схеми. За організацією зв'язків розрізняють подільники з послідовним, паралельним, паралельно-послідовним (частково-груповим) перенесенням та з комбінованими зв'язками [2, 3]. Для організації подільника (лічильника) з довільним коефіцієнтом ділення (перерахунку) використовують різні методи:

- виключення зайвих станів;
- застосування зворотного зв'язку;
- використання кратних модулів;
- примусове нарахування (примусова установка в 1 окремих розрядів);
- реверсивне з'єднання розрядів.

Найпоширеніший спосіб виключення зайвих станів. Його реалізують переважно так:

- попередня установка коду;
- примусове обнулення.

Загальну схему подільника можна зобразити як поєднання тригерів та комбінаційної схеми КС (див. рис. 1).

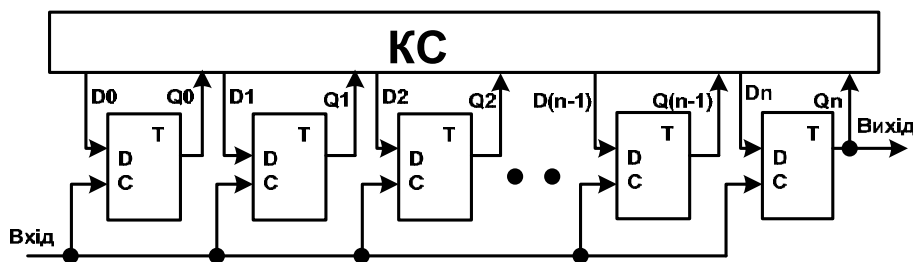


Рис. 1. Узагальнена структурна схема подільника частоти

КС на основі поточного стану тригерів у момент  $t_i$  формує умови для встановлення стану тригерів у наступний момент  $t_{i+1}$ . Для класичного двійкового лічильника на D-тригерах:

$$D_0 = \neg Q_0; D_1 = Q_1 \# Q_0; D_i = Q_i \# (Q_{i-1} \& \dots \& Q_0), i = (2 \dots n).$$

Певного коефіцієнта перерахунку, відмінного від  $2^n$ , досягають відповідною зміною рівнянь формування D-входів тригерів для виключення необхідної кількості станів лічильника.

Побудовані тривіально за наведеними підходами подільники формують вихідний результуючий сигнал, тривалість якого, а відповідно і прогальність, визначаються схемотехнікою та залежать від коефіцієнта перерахунку. Відомі схеми побудови дільників із заданим перемінним коефіцієнтом ділення, які мають стабільний фазовий зсув вихідного сигналу стосовно вхідного та які забезпечують форму меандра для вихідних імпульсів, що дуже часто також є важливою вимогою. Зсув визначається сумою часу спрацювання тригера і як мінімум двох логічних елементів [2–4].

### Постановка задачі

Створити подільник частот зі змінним (заданим) коефіцієнтом ділення з мінімальним фазовим зсувом вихідного сигналу щодо вхідного.

### Результати досліджень

Основним підходом до реалізації поставленої задачі є побудова схеми подільника за принципом поділу схеми на два канали. У прямому каналі між входом і виходом працює тільки вентильна комбінаційна схема із мінімальною кількістю елементів, затримка яких і визначає

фазовий зсув вихідного сигналу щодо вхідного. У паралельному каналі працює власне керований подільник та схема, яка керує вентильною комбінаційною схемою прямого каналу. До складу схеми керування можуть входити додаткові тригери (прапорці). Структуру такого подільника частоти наведено на рис. 2.

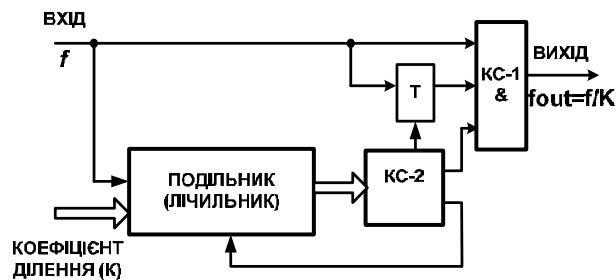


Рис. 2. Структура швидкодіючого подільника частоти

Принцип роботи оснований на тому, що перший вхідний імпульс надходить на вихід через КС-1 із мінімально можливою затримкою та паралельно на канал ділення. Для забезпечення форми меандру вихідний сигнал схемою КС-1 за дії КС-2 та додаткових тригерів утримується першу половину періоду вихідної частоти в стані логічної одиниці, а другу – у стані логічного нуля. В межах періоду стан виходу можна описати виразом.

$$\text{OUT}(t) = \begin{cases} 1, & 0 < t \leq T/2; \\ 0, & T/2 < t \leq T, \end{cases}$$

де  $T$  – період вихідного сигналу;  $T = 1/f_{\text{out}} = K/f$ .

Для блокування протягом певного часу ( $K/2f$ ) вихідного сигналу на одному із двох рівнів (0, 1), за умови неперервної зміни на вході основного аргументу – сигналів вхідної частоти, необхідно у послідовному тракті з'єднати як мінімум два логічні елементи. Тому розроблення схеми з використанням тільки цієї необхідної кількості елементів мінімізує затримку реакції на виході стосовно входу, чим власне і досягається висока швидкодія подільника частоти.

Варіант реалізації такого подільника зображено на рис. 3, а на рис. 4 – часові діаграми роботи [5].

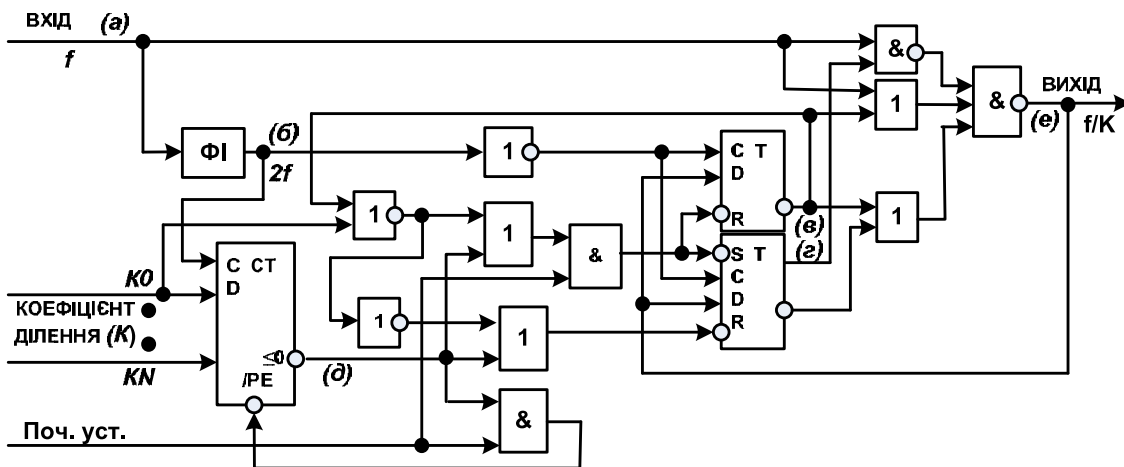


Рис. 3. Схема подільника частоти зі змінним коефіцієнтом ділення з мінімальним фазовим зсувом

Подільник використовує віднімальний двійковий лічильник СТ, який змінює стан за додатним фронтом тактових імпульсів, має інверсний асинхронний вхід паралельного запису коду та інверсний вихід запозичень. Формувач імпульсів ФІ формує короткі додатні імпульси (б) на кожному фронті вхідних імпульсів (а), подвоюючи вхідну частоту. Тривалість імпульсів формувача повинна бути такою, щоб разом із затримкою інвертора перевищувати час затримки кожної із пар (два елементи І-НЕ, АБО та І-НЕ).

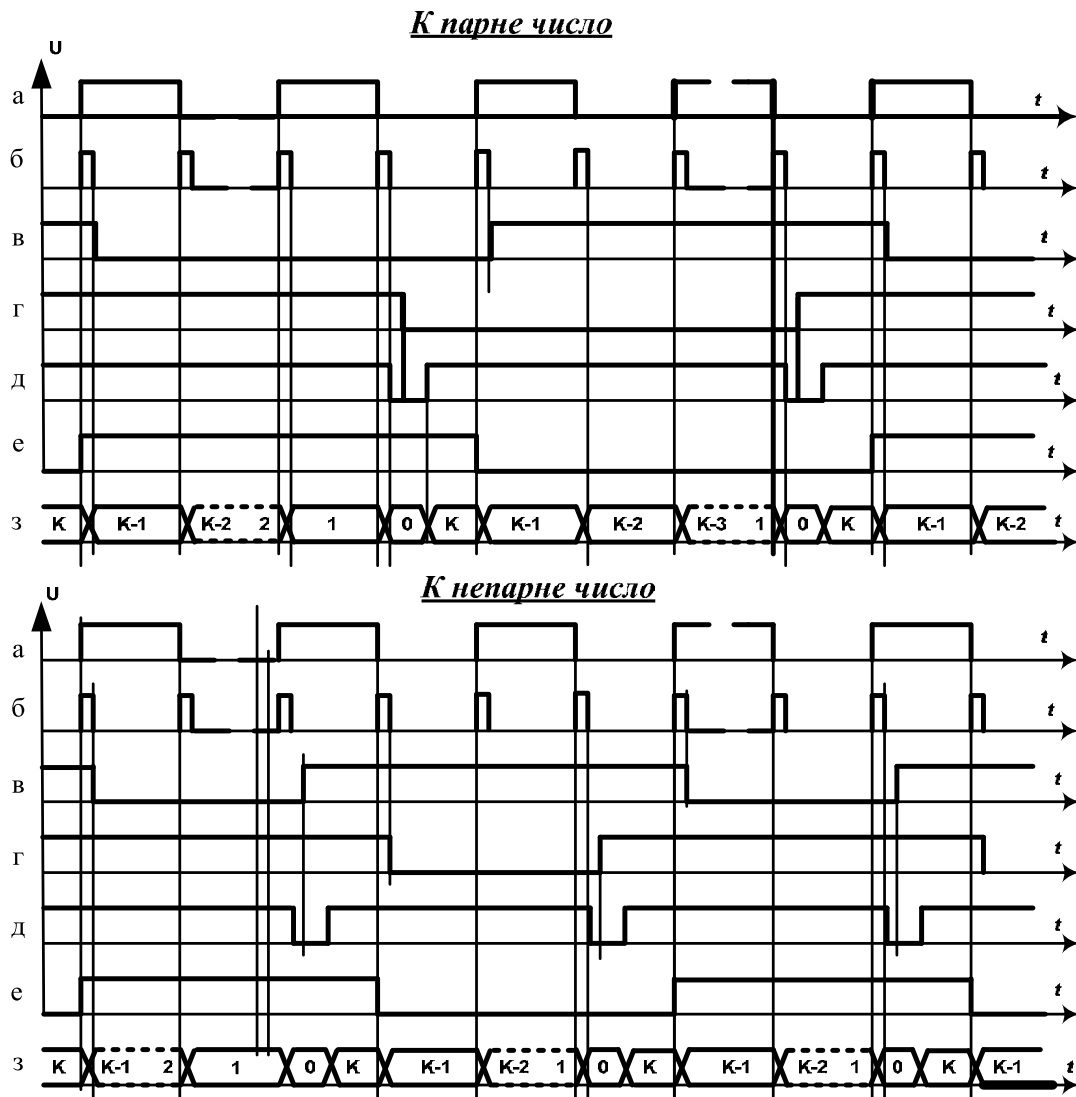


Рис. 4. Часова діаграма роботи подільника частоти

Сигнал початкової установки записує в лічильник коефіцієнт ділення  $K$  (з) та встановлює перший тригер в 0 (в), а другий – в 1 (г), виходи яких забезпечують пряме передавання (подвійну інверсію) входу на вихід.

Тому з приходом першого вхідного імпульсу на виході формується логічна 1, а імпульс з формувача ФІ зменшує на 1 стан лічильника (з) та із закінченням від'ємним фронтом перемикає в 1 перший тригер, нуль з інверсного виходу якого (в) зафіксує стан 1 на виході. Наступні імпульси подвійної частоти декрементують тільки лічильник, виконуючи підрахунок півперіодів. З приходом на вхід  $(K+1)/2$ -го за непарного  $K$ , або із закінченням  $K/2$ -го імпульсу на виході формувача формується  $K$ -й імпульс, який зменшує значення лічильника до нуля (з), а після його закінчення на виході лічильника формується сигнал “запозичень” (д), який у лічильник знову записує код  $K$ , а також скидає в 0 другий тригер (г) за парного  $K$  або встановлює в 1 перший тригер (в) при

непарному  $K$ . В один момент перемикається тільки один із тригерів, що запобігає появі “перегонів”. Перемикання відповідного тригера переключає вихідний каскад у режим інверсії вхідних імпульсів за парного  $K$  або повторення за непарного  $K$ , не змінюючи у цей час стану виходу. Тому перша зміна вхідного імпульса викликає формування від’ємного фронту вихідного сигналу, який буде утримуватись у нульовому стані ( $e$ ) наступну половину періоду аналогічно першій.

Тобто на вихід надходять імпульси з частотою вхідних, поділеною на коефіцієнт ділення  $K$  із фазовим зсувом, який дорівнює часу затримки двох елементарних логічних елементів (двох елементів І-НЕ, або пари АБО та І-НЕ). За умови як парного, так і непарного  $K$ , вихідні імпульси мають завжди прогальність два. Якщо за умови непарного коефіцієнта ділення вхідні імпульси надходять із прогальністю, відмінною від значення 2, то тривалість вихідного імпульса відрізняється від тривалості паузи на час, що дорівнює аналогічній різниці високочастотних вхідних імпульсів, що у відносному значенні у  $K$  разів менше.

Для конкретних реалізацій може виникнути потреба отримати після ділення вихідні імпульси конкретної заданої тривалості. Щоб забезпечити параметри швидкодії запропонований принцип (див. рис. 2) не повинен змінюватись. Схему можна змінити тільки в паралельному каналі. Наприклад, на шині коду ділення вхідних даних лічильника встановити мультиплексор, який комутуватиме по чергово залежно від стану виходу код тривалості імпульсу та паузи, які по чергово відмірятиме лічильник подільника [6].

Запропоновані схемотехнічні рішення апробовано в каналах передавання даних систем дистанційного зондування Землі у реальному масштабі часу.

### Висновки

Розглянуто побудову подільників частоти і проаналізовано недоліки стандартних відомих рішень. Запропоновано підхід до побудови та варіанти конкретної реалізації швидкодійних подільників частоти зі змінним коефіцієнтом ділення із мінімальним фазовим зсувом вихідного сигналу відносно вхідного за умови формування вихідних сигналів із прогальністю два або заданої тривалості, які доцільно використовувати у каналах передавання даних систем дистанційного зондування Землі у реальному масштабі часу та в інших цифрових пристроях.

1. Дистанційне зондування Землі: Терміни та визначення понять // ДСТУ 4220–2003. – К.: Держспоживстандарт України, 2003. – 18 с. 2. Букреев И. Н., Горячев В. И., Мансуров Б. М. Микроэлектронные схемы цифровых устройств, Изд.-е 3-е, перераб. и доп. – М.: Радио и связь. 1990. – 416 с. 3. Рябенский В. М., Жуйков В. Я., Гулий В. Д. Цифровая схемотехника: навч. посібник. – Львів: “Новий світ-2000”, 2012. – 736 с. 4. В. Н. Куприяненко, И. П. Паралюх. Управляемый делитель частоты. Авт. свидетельство №1238234. – “БИ”, 1986, №22. 5. Паралюх И. П. Управляемый делитель частоты. Авт. свидетельство №1277389. – “БИ”, 1986, №46. 6. Паралюх И. П., Самойленко С. В., Казакова Н. В. Управляемый делитель частоты. Авт. свидетельство №1457160. – “БИ”, 1989, №5.