

СПІВВІДНОШЕННЯ ОБ’ЄКТІВ SH- ТА VHDL-МОДЕЛЕЙ

© Черкаський М.В., Бережанський Ю.І., 2011

Розглянуто об’єкти SH та VHDL моделей та їх характеристики. Проведено порівняння моделей. Зроблені висновки про можливості об’єднання моделей.

Ключові слова: об’єкти, SH-модель, VHDL-модель.

Objects of SH and VHDL models and their characteristics have been considered. Models comparison provided. Conclusion about the possibility of unification models have been made.

Key words: objects, SH-model, VHDL-model.

Вступ

Результатом функціонально-логічного етапу дослідження і проектування спеціалізованих комп’ютерних систем є функціональні схеми та мікропрограми їх роботи на рівні регістрових передач, а також комбінаційні схеми різного ступеня деталізації. Ці результати є вихідними для наступного етапу – розроблення схем, формалізованих для зручного проектування топології кристала. На цьому етапі використовуються спеціалізовані мови проектування апаратно-програмних засобів. Однією з найпоширеніших є мова VHDL, яка є потужним інструментом проектування інтегральних схем.

Огляд літературних джерел

При переході, під час проектування комп’ютерних засобів, від функціонально-логічного до схемо-технічного етапу виникає певна семантична неузгодженість. Вона обумовлена різницею в задачах, що розв’язуються на різних етапах з різними алгоритмічними базами досліджень. Так синтез функціональних та принципових схем ґрунтується на архітектурних методах та досвіді і здібностях розробника. У той час як синтез VHDL моделі проводиться жорстко регламентованими операціями, які не стосуються алгоритмічних особливостей розв’язання задач. Мета функціонально-логічного етапу – проектування схеми з високою продуктивністю. Нова модель апаратно-програмних комп’ютерних засобів, SH-модель [1, 3], крім досягнення високої продуктивності також дозволяє провести оптимізацію інших характеристик складності, таких як програмна та структурна складність [2]. Традиційний підхід з використанням архітектурної моделі тут не ефективний. Мета схемо-технічного етапу проектування – оптимізація VHDL моделі за розташуванням елементів та конфігурацією зв’язків між ними, що дає змогу мінімізувати сумарну довжину зв’язків схеми.

Відокремлення функціонально-логічного та схемо-технічного етапів проектування є природним способом зменшення складності розроблення. Але бурхливий розвиток комп’ютерних технологій змінює традиційні уявлення про границі між етапами проектування. Тенденції розвитку спрямовані на об’єднання етапів, в результаті якого вплив границь зменшується. З’являється можливість оптимізувати характеристики складності об’єктів проектування.

Постановка задачі

Завданнями для досліджень у цій статті є порівняння SH та VHDL моделей, пошук співвідношень між їх характеристиками, знаходження спільних характеристик, та побудови на їх основі узагальненої моделі проектування, що базуватиметься на об’єднаних етапах проектування.

Об’єкти SH-моделі. До об’єктів SH-моделі належать:

- множина елементарних перетворювачів;
- множина зв’язків між множиною елементарних перетворювачів.
- мікропрограма.

Елементарний перетворювач

Введення поняття “елементарний перетворювач” має принципове значення. Ця абстракція дає змогу уникнути не строгості у визначенні властивості “елементарність”, розширити список властивостей і характеристик комп’ютерного алгоритму. У теорії алгоритмів відсутнє поняття елементарності, а також визначення поняття “елементарність”. За Марковим елементарність – це простота і локальність, але це не є визначенням. Визначення дається через елементарний перетворювач, через математичний об’єкт – чорну скриньку [1].

Проте кожна конкретна модель алгоритму відносно апаратної побудови має точно окреслену структуру, що складається з двох множин: множини елементарних перетворювачів та множини з’єднань між ними:

$$X = \{x_1, x_2, \dots, x_n\}$$
$$U = \{u_1, u_2, \dots, u_m\}$$

Апаратні засоби містять один або декілька елементарних перетворювачів, пов’язаних між собою з’єднаннями. Елементарний перетворювач – перетворює деяку сукупність початкових даних на сукупність кінцевих даних:

$$x_i : \{d_i\} \rightarrow \{d_i^{\prime}\}.$$

Елементарний перетворювач являє собою неподільний елемент схеми апаратних засобів SH-моделі. Він задається “чорною скринькою”, яка має входи I , на які подаються вхідні дані, і виходи O , з яких знімається результат перетворення даних. Операція, виконувана “чорною скринькою”, є елементарною. Перетворення даних виконується відповідно до функції, що свідомо задається “чорною скринькою”. Ця функція може бути змінена подачею сигналу “код функції” на додатковий вхід Y . Розрізнятимемо два види “чорних скриньок”:

а) елементарний перетворювач без зовнішнього управління – це кортеж з трьох елементів:

$$(I, \Phi, O),$$

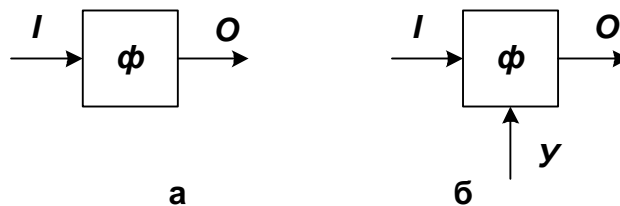
де I – вхід, Φ – функція перетворення, O – вихід.

б) елементарний перетворювач з зовнішнім управлінням – це кортеж з чотирьох елементів:

$$(I, \Phi, Y, O),$$

де I – вхід, Φ – функція перетворення, Y – вхід керуючого сигналу, O – вихід.

На рисунку схематично показано два види елементарних перетворювачів.



Два види елементарних перетворювачів:
а – без входу управління; б – з входом управління

Програма для SH-моделі не потребує спеціальних пояснень.

Об’єкти VHDL-моделі. У технічній літературі формулювання для VHDL-моделі не відмічено. У статті для порівняння з SH-моделлю доцільно користуватися таким поняттям і розуміти під терміном VHDL-модель сукупність програмно-апаратних засобів VHDL.

До об’єктів дослідження VHDL-моделі належать множина елементів та конфігурація зв’язків між ними:

- рівні апаратних засобів – функціональні пристрої в їх ієрархічній послідовності, починаючи від логічних схем, вентилів і закінчуючи процесорами;
- множину зв’язків між пристроями різних ієрархічних рівнів.

Критеріями оптимальності для об'єктів VHDL- моделі є:

- мінімальна сумарна довжина усіх зв'язків;
- максимальна довжиною одного зв'язку;
- кількість переходів з шару на шар;
- загальна кількість зв'язків.

Властивості та характеристики об'єктів VHDL-моделі

Подібно до властивостей SH-моделі, для VHDL-моделі розглядаються такі властивості:

- модульність;
- ієрархічність.

Модульність – розглядається як об'єднання кількох елементів певного рівня ієрархії за певними структурними та функціональними критеріями у єдиний модуль/об'єкт, отже, складна система розбивається на кілька простіших модулів, кожен з яких виконує свою певну функцію.

Дискретні елементи різних рівнів складаються у модулі. На схемі вентиль та модуль розглядаються як самостійні одиниці, кожна з яких виконує свою функцію, тому для аналізу моделей потрібно розглядати обидві властивості – дискретність та модульність.

Ієрархічність – ієрархічність елементів нижнього рівня; кожен елемент вищого рівня апаратних засобів може бути представлений як набір елементів нижчого рівня, починаючи від процесорів і закінчуючи найпростішими елементами логіки.

Під час проектування системи засобами VHDL виділяють два підходи – структурний та поведінковий. Властивості модульності та ієрархічності доцільно розглядати лише для структурних описів. Проте властивість ієрархічності для VHDL-моделі відмінна від аналогічної властивості у SH-моделі. Оскільки ієрархічність закладена в модель елемента SH-моделі – елементарного перетворювача. Тому властивість ієрархічності дає можливість підсумовувати значення структурної складності на різних рівнях ієрархії. А у VHDL-моделі такої можливості немає і сукупна структурна складність не рахується.

До характеристик об'єктів VHDL-моделі можна зарахувати такі характеристики складності :

- апаратна;
- часова;
- ємнісна.

Введемо в опис VHDL-моделі характеристики складності, хоча такі характеристики у такому контексті не використовуються. Це пов'язано з тим, що подібна термінологія використовується для аналізу SH-моделі. Такі властивості VHDL-моделі, як дискретність, детермінованість та масовість мають лише визначення та не доводяться. Натомість перелічені характеристики доводяться в теорії алгоритмів, зокрема в SH-моделі.

Відмінності об'єктів SH- та VHDL-моделей

За метою використання:

- Мета використання SH побудови – структурні схеми; параметрична оптимізація характеристик складності, для отримання максимальної продуктивності оброблення даних; мінімізація часової та програмної складності. Беручи до уваги вартісні еквіваленти характеристик складності – часова складність, яка безпосередньо зв'язана з величиною продуктивності, має найбільший пріоритет. Тому інші характеристики складності можуть бути погіршені для досягнення кращих показників часової складності. Бажаним є також зменшення програмної складності за рахунок збільшення апаратної та в певних межах структурної. Оскільки програмна складність впливає на іншу важливу характеристику – час проектування.

- Метою використання VHDL-моделі є побудова моделі системи/пристрою, топології схеми з певними технічними характеристиками та отримання часових діаграм для цієї топології.

За результатами:

- Результатом використання SH-моделі в проектуванні є структурна схема пристрою або системи та функціональний опис пристрою або системи.

- Результатом використання VHDL-модель є функціональна схема пристрою або системи, топологія пристрою або системи, набір мікропрограм для керування пристроєм або системою, часові діаграми функціонування пристрою або системи. Результатом розробки на VHDL є перетворення VHDL-моделі у множину вентилів та зв'язків між ними, які відображаються (мапуються) на програмований логічний пристрій, такий як CPLD або FPGA.

Порівняння SH- та VHDL-моделей

Основна відмінність між SH- та VHDL-моделями полягає у об'єктах розроблення і, відповідно до цього, у методах та результатах проектування. Для SH-моделі – це розроблення структурних та функціональних схем системи, для VHDL-моделі – розроблення топології системи.

При об'єднанні SH- та VHDL-моделей – SH-модель стає на службі у VHDL-моделі. Розробляють функціональну схему, мінімізується часова та програмна складності, відповідно за рахунок апаратної та частково структурної складностей. Потім проектується топологія системи та створюється VHDL опис системи з часовими діаграмами її функціонування.

Множина зв'язків в SH-моделі задає структурну складність. У VHDL зв'язки є елементами схеми, з'єднаннями, які не мають інтелектуального значення. У VHDL зв'язки мають просторовий сенс, натомість у SH-моделі – це просто зв'язки і вони не мають просторового сенсу. Слабким місцем SH-моделі з погляду проектування є те, що довжина зв'язків не визначається – її потрібно внести як параметр або властивість. У VHDL вона присутня, проте у неявній формі і математично точно не визначена.

Розробляючи зв'язки, між об'єктами VHDL, вводяться додаткові вершини, наприклад, вершини Штейнера. Вершини Штейнера можуть бути прийняті за окремі об'єкти, через те, що вони можуть мати розгалуження і здебільшого мають їх.

VHDL не фіксує програмну та структурну складність, і для цього не має підстав, оскільки ієрархічний об'єкт, модуль – можуть мати будь-яку внутрішню складність.

У SH-моделі зниження часової складності досягається за рахунок збільшення апаратної (в основному), структурної та програмної. Апаратна складність перебуває на службі у інших характеристик складності – через це зростає надійність та простота проектування системи.

Схема пристрою, який проектується, описується SH-моделлю. А у VHDL не описується, оскільки там, як і в програмуванні, – процес програмування відокремлений від процесу проектування апаратури. У SH-моделі такого відокремлення немає.

Дискретність в VHDL-моделі – це дискретність сітки робочого поля, визначена структурою робочого поля ПЛІС. Елементарність у VHDL-моделі відсутня і це поняття потрібно ввести.

Регістрова пам'ять – рахується як апаратна складність. Ємнісна – є ПЛІС з вбудованою пам'яттю великого об'єму.

Порівняння SH- та VHDL-моделей наведено у таблиці.

Порівняння SH- та VHDL-моделей

Параметр для порівняння	SH-модель	VHDL-модель
Об'єкт (система вхідних даних)	<ul style="list-style-type: none"> • елементарний перетворювач; • множина елементарних перетворювачів; • множина зв'язків між множиною елементарних перетворювачів. 	<ul style="list-style-type: none"> • елементи логіки; • рівні апаратних засобів (одно розрядні, багато розрядні операційні пристрої, регістри); • множина зв'язків.
Властивості об'єктів	<ul style="list-style-type: none"> • дискретність; • детермінованість; • елементарність; • масовість; • ієрархічність (ієрархія функцій, елементарних перетворювачів). 	<ul style="list-style-type: none"> • модульність; • ієрархічність елементів нижнього рівня
Характеристики складності об'єктів	<ul style="list-style-type: none"> • апаратна; • часова; • структурна; • ємнісна; • програмна. 	<ul style="list-style-type: none"> • апаратна; • часова; • ємнісна.

Об'єднання SH- та VHDL-моделей в одну – VHDL-SH-модель

Відправною точкою досліджень під час об'єднання моделей є теорія апаратно-програмних алгоритмів – SH-модель. Задача дослідження полягає у застосуванні теорії SH-моделі для побудови кінцевого технічного пристрою, з використанням технології проектування VHDL.

Мова VHDL – це мова опису апаратних засобів і вона відрізняється від мов програмування тим, що містить спеціальні засоби, які дають змогу передавати об'єкти, а також засоби, спрямовані на описування операцій. На нашу думку, мова VHDL є частково об'єктно-орієнтованою мовою.

Формально для VHDL елементарність не визначається, до того ж вона не має відмінностей порівняно з елементарним перетворювачем SH-моделі. У разі об'єднання моделей елементи VHDL-SH-модель набувають всіх властивостей SH-моделі – вони є дискретними, детермінованими, мають елементарність та масовість. Елементарність, що задається як і в SH моделі – як операція елементарного перетворювача, дозволяє будувати перетворювачі різного ієрархічного рівня, звідси впливає властивість ієрархічності, через ієрархію перетворювачів. Ієрархія елементарних перетворювачів низького рівня може входити у ієрархію перетворювачів наступного вищого рівня, наприклад, до операційних пристроїв, які своєю чергою можуть входити в ієрархії вищих рівнів. Різниця полягає лише в тому, що у SH-моделі не задаються напрямки з'єднань, прив'язаних до конкретного робочого поля, як це задається у VHDL і, отже, з'являється можливість появи таких точок, як вершини Штейнера.

Характеристики складності розглядаються у їх ієрархічній побудові. Кожну з характеристик можна обраховувати для елементів різних рівнів ієрархії. Сумарна величина обчислених характеристик характеризуватиме складність цілого пристрою.

SH-модель, яка використовується для проектування, може бути збагачена розширенням елементарних перетворювачів у вигляді вершин Штейнера – як методу зменшення часової складності. Часова складність залежить від апаратної – зменшення часової складності приводить до збільшення апаратної. Також часову складність можна зменшити, збільшуючи структурну складність. Зменшення часової складності сприяє зменшенню програмної складності.

Апаратну складність рахується на рівні вентилів. Для кожного неелементарного перетворювача рахується своя складність, а потім їх підсумовують для всієї системи, не враховуючи зв'язки для SH-моделі; натомість у VHDL-моделі ми повинні враховувати зв'язки. Структурна та програмна складність також визначаються окремо для кожного неелементарного перетворювача та підсумовуються.

Об'єднання SH- та VHDL-моделей в одну – VHDL-SH-модель – полягає у знаходженні таких кроків розробки, коли під час проектування, розробітник іде по колу зворотного зв'язку: спочатку будується VHDL-модель, потім проводяться певні зміни згідно з SH-моделі (наприклад, введення вершин Штейнера) і, у цьому разі, необхідно знову повертатися до VHDL-моделі. Отже, проектування проводиться ітераціями з врахуванням оптимізації (мінімізації) характеристик складності.

Висновки

SH- та VHDL-моделі збігаються по об'єктах дослідження, параметрах та характеристиках об'єктів дослідження. Для SH- та VHDL-моделей притаманні спільні властивості. У VHDL-моделі присутні та обчислюються апаратна, часова та ємнісна складності. Проте не обчислюються структурна та програмна складності, які безпосередньо характеризують основний внесок саме розробника у процес проектування. Натомість SH-модель дає змогу обчислити структурну та програмну складності. Основний результат досліджень полягає в об'єднанні SH- та VHDL-моделей в одну VHDL-SH-модель. Об'єднана модель дозволяє реалізовувати зворотний зв'язок за такими характеристиками складності, як апаратна, часова, ємнісна і крім того структурна складність. Отже, процес проектування, згідно з об'єднаною моделлю, відбувається ітераційно, з врахуванням оптимізації характеристик складності та мінімізації часу проектування.

1. Черкаський М.В. SH-модель алгоритму // *Комп'ютерна інженерія та інформаційні технології* // Вісник Нац. ун-ту "Львівська політехніка". – Львів, 2001. – № 433. – С. 127–134.
2. Черкаський М. Структурна складність // *Комп'ютерна інженерія та інформаційні технології* // Вісник Нац. ун-ту "Львівська політехніка". – Львів, 2002. – № 450. – С. 121–126.
3. Черкаський М.В., Мурад Хусейн Халіл., "Універсальна SH-модель", *Комп'ютерні системи та мережі* // Вісник Нац. ун-ту "Львівська політехніка". – Львів, 2004. – № 523. – С. 150–154.